

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-222954

(43)Date of publication of application : 14.12.1984

(51)Int.Cl.

H01L 25/08

H01L 21/88

H01L 23/48

H01L 23/52

(21)Application number : 58-095729

(71)Applicant : HITACHI LTD

(22)Date of filing : 01.06.1983

(72)Inventor : KETSUSAKO MITSUNORI

(54) LAMINATED SEMICONDUCTOR INTEGRATED CIRCUIT AND MANUFACTURE THEREOF

(57)Abstract:

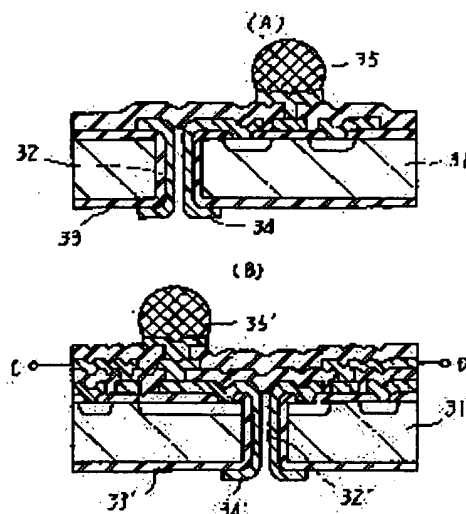
PURPOSE: To enable to reduce the chip-to-chip wiring length and to contrive to enhance the mounting density by a method wherein the connection parts of active substrates are constituted of solder pads and interposing solder layers, which respectively oppose to each other, and a penetrating hole, whose inner surface has been coated with an insulating film and a conductive film, is provided on at least one side of the solder pads.

CONSTITUTION: Groups of elements have been provided in the surfaces of chips 31 and 31' by selectively performing a doping and chip penetrating holes 32 and 32', etc., have been provided piercing through parts of the groups.

Insulating films 33 and 33', such as an oxide film, etc., have been provided at the surfaces of the penetrating holes 32 and 32', and moreover, conductive coatings 34 and 34', which are provided at the upper parts thereof, and the substrates have been electrically separated. Solder bumps 35 and 35', which are used for connection with other chips,

have been formed at the upper parts of wiring layers and

the bump 35' of the lower chip has been provided opposite right to the bonding pad 34 having been extendedly provided from the opening part of the upper chip.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭59-222954

⑫ Int. Cl.³ 識別記号 庁内整理番号 ⑬ 公開 昭和59年(1984)12月14日
 H 01 L 25/08 7638-5 F
 21/88 6810-5 F 発明の数 2
 23/48 6732-5 F 審査請求 未請求
 23/52 6428-5 F

(全 3 頁)

⑭ 積層半導体集積回路およびその製法

地株式会社日立製作所中央研究所内

⑮ 特 願 昭58-95729

⑯ 出 願 人 株式会社日立製作所

⑰ 出 願 昭58(1983)6月1日

東京都千代田区神田駿河台4丁目6番地

⑱ 発 明 者 藤迫光紀

⑲ 代 理 人 弁理士 高橋明夫 外1名

国分寺市東恋ヶ窪1丁目280番

明 細 書

発明の名称 積層半導体集積回路およびその製法

特許請求の範囲

1. 半導体基板の少くとも一主面上に素子群が形成された能動基板を少くとも2以上積層して成る集積回路において、該能動基板の接続部は対向する半田パッド及び介在半田層により形成され、かつ該半田パッドの少くとも一方に内面が鉛線膜及び導電膜により被覆された貫通孔を有することを特徴とする積層半導体集積回路。
2. 半導体基板の一主面に半田パッド及び半田パンブを有し、他の主面に内面が鉛線膜及び導電膜により被覆された貫通孔を設けた半田受容パッドを有する能動基板を積層体とし、上記構成の基板を単位として複数積層して成る積層半導体集積回路の製造方法。
3. 半田パンブの半田層の面さは能動基板の平坦度より大であり、かつ貫通孔の内径は上記半

田層の体積より大である如く形成された能動基板を用いることを特徴とする特許請求の範囲第2項記載の積層半導体集積回路の製法。

4. 能動基板の積層を被圧環境下での加熱により行なう特許請求の範囲第2項記載の積層半導体集積回路の製法。

発明の詳細を説明

〔発明の利用分野〕

本発明は半導体集積回路チップを積層して成る半導体集積回路およびその製法に係る。

〔発明の背景〕

電子計算機のような高機能電子回路システムは、従来半導体高集積度集積回路 (LSI) のパッケージを単位とし、これが多数、プリント配線基板上に配列され実装されて構成されていた。さらに進んだシステムでは、第1図に例示する如き複チップモジュールを構成し、配線長を短縮して集積度の向上を図るとともに配線遅延を短縮して高速化が図られていた。第1図に示す複チップモジュールでは、各LSIチップ11、11'、11''は照

特開2005-222954(2)

子層12を下向きにし、チップの周縁部に設けられたボンディングパッド13を、多層配線セラミック基板14の上に設けられたボンディングパッド15に對向させ、公知のフエースダウンボンディング技術により接続されている。

このチップモジュールでは、ボンディングのための絶縁は不要であり、各チップは半田により多層配線基板に固定され、実装密度、システムの信頼性等多くの利点が実現されている。

しかし、従来の実装法は、完成したチップから出発しており、ボンディングパッドは各チップの周縁部のみに設けられ、チップ間の接続は多層配線基板を介してのみ実現されていたため、配線長の短縮にも限界があった。

〔発明の目的〕

本発明は、かかる従来の実装技術の限界を越えてチップ間配線長の短縮を可能とし、さらに高い実装密度を実現する新規な集積回路及びその製造方法を提供することを目的とする。

〔発明の概要〕

が設けられており、その一部にはチップ貫通孔32、32'等が設けられている。貫通孔32、32'の表面は酸化膜等による絶縁膜33、33'が設けられ、さらにその上部に設けられる導電性被膜34、34'と基板とを電気的に分離している。

配線層の上部には他のチップとの接続に用いられる半田パンプ35、35'が形成されており、下層チップのパンプ35'は上層チップの開口部から延在するボンディングパッド34に對向して設けられている。

第8図に示した構造は第4図の如き回路と対応しており、チップを接続することにより、論理回路の一部が構成される。この論理回路の入力の一部、例えばAには、さらに上層のチップの出力が与えられる構造となっており、チップ間に互に配線が第1図に示すような外部配線体を介する場合に比べ短縮されるのが理解できよう。

この実施例に示される半田パンプの大きさは、20μm程度であり、これは多層配線の適さる

本発明は、基本的には第2図に示す如き、チップ数層による高密度実装技術に係る。第2図で例示した構成では、チップ21、21'、21''等の片面に素子群の形成された層22、22'、22''等が設けられ、素子層22の上に設けられたボンディングパッド23と、チップ21'の裏面に設けられたボンディングパッド24とが接続され、順次チップが積層・接続されて基板25にマウントされている。勿論基板25は第1図に示した如き多層配線基板であつて良く、また、積層は基板上の複数の位置でなされて差しつかえない。

本発明により積層構造を構成するためにはチップの表面に形成した素子と、チップ裏面に形成したボンディングパッドとを接続するためのチップ貫通配線と、チップ同士を接続するための方法が必要であり、以下実施例に従つてこれを説明する。

〔発明の実施例〕

第3図は本発明によるチップ接続を行なう直前の接続部素子断面の一例である。チップ31および31'の表面には選択ドーピングにより素子群

たチップに存在する凹凸差より十分大きく、またチップの反りを考慮しても、半田の溶解時にはチップ上の全パンプがそれぞれ對向するボンディングパッドに接触できる。

チップの接続は半田の溶解温度での熱圧接により実現される。この場合、ボンディングパッドが平坦であると、各ボンディングパッドの高低差により、半田のボンディングパッドからの押し出しによる短絡が生ずることがあり、特にボンディングパッドの数が多き場合には集積素子の多量に上向きしない。実施例によるボンディングパッドに設けられた貫通孔は、チップ接続時に重要な役割を演ずる。すなわち、リフロー時に短絡に必要とする以外の半田を貫通孔内に吸収するため、圧接時に半田がボンディングパッドよりはみ出ることが少ない。この効果は成圧環境下で行なうことが必要であり、また、貫通孔の内径が、半田パンプの径よりも大きくなければならない。

〔発明の効果〕

以上説明した如く、本発明によれば、多数のチ

チップを積層して実装密度を飛躍的に向上させることができる。従来のチップ周縁部にのみボンディングパッドを設けたフエースダウンボンディング法に比べて、チップ内の領域に多数の接続点を設けることが可能となり、また、配線長を短縮できるため、総合的なシステム密度を向上させることができる。

また、上記実施例では簡単なMOS型素子を用いて説明したが、各チップの導電形を変えて相補形の構成としたり、また、センサチップ、論理チップ、メモリチップ等チップ毎に異なる機能を有するものを積層し、高度の複合処理を実現することも可能である。

図面の簡単な説明

第1図は従来の積層チップモジュールの断面構造を示す図式図、第2図は本発明の概念を示す断面構造図、第3図は本発明の一実施例を示す接続導の素子断面図、第4図はこれに対応する等価回路図を示す図である。

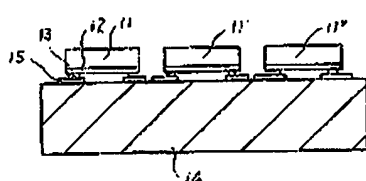
21、21'…チップ、22、22'…素子層、

特開昭59-222954(8)

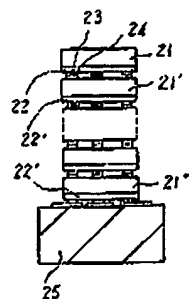
23…表面ボンディングパッド、24…裏面ボンディングパッド、31、31'…チップ、32、32'…貫通孔、35、35'…半田パンプ。

代理人 弁理士 高橋明典

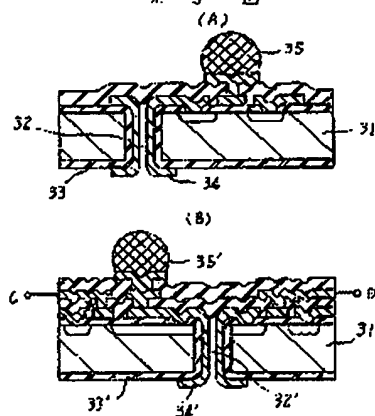
第1図



第2図



第3図



第4図

